

PCT

世界知的所有権機関

国際事務局



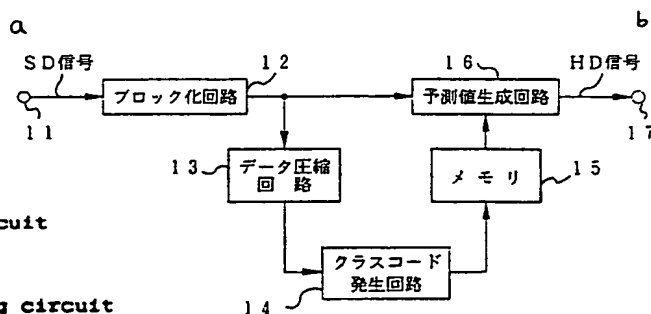
特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 5 H04N 7/01	A1	(11) 国際公開番号 WO 94/14278
		(43) 国際公開日 1994年6月23日(23.06.94)
(21) 国際出願番号 PCT/JP93/01786 (22) 国際出願日 1993年12月9日(09. 12. 93) (30) 優先権データ 特願平 4/330592 1992年12月10日(10. 12. 92) JP 特願平 5/167518 1993年6月14日(14. 06. 93) JP 特願平 5/172617 1993年6月18日(18. 06. 93) JP (71) 出願人(米関を除くすべての指定国について) ソニー株式会社 (SONY CORPORATION)(JP/JP) 〒141 東京都品川区北品川6丁目7番35号 Tokyo, (JP) (72) 発明者: および (75) 発明者/出願人(米関についてのみ) 近藤哲二郎 (KONDO, Tetsujiro)(JP/JP) 内田真史 (UCHIDA, Masashi)(JP/JP) 川口邦雄 (KAWAGUCHI, Kunio)(JP/JP) 〒141 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo, (JP) (74) 代理人 弁理士 杉浦正知 (SUGIURA, Masatomo) 〒170 東京都豊島区東池袋1丁目48番10号 25山京ビル 420号 Tokyo, (JP) (81) 指定国 AU, KR, US, 欧州特許(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	添付公開書類 国際調査報告書	

(54) Title : IMAGE SIGNAL CONVERTER

(54) 発明の名称 画像信号変換装置

- a ... SD signal
 b ... HD signal
 12 ... blocked circuit
 13 ... data compressing circuit
 14 ... class code generating circuit
 15 ... memory
 16 ... estimated value generating circuit



(57) Abstract

A digitally inputted image signal (SD signal) is converted into a high resolution digital image signal (HD signal) by using estimated values. The specific pixels of an object to be estimated are classified according to the one-, two-, or three-dimension level distribution of plural reference pixels of SD signal located near the specific pixels. The estimated values of the specific pixels are generated by a linear combination of the values of the reference values and the estimation coefficients determined in advance by learning. During the learning, a known HD signal and the SD signal formed from it are used to determine the estimation coefficients so as to minimize the sum of squares of the errors between the true values and the values estimated by the linear combination of the values of the surrounding SD signal reference pixels and the estimated coefficients. Not necessarily limited to the estimated coefficients, it may be possible to use, as the estimated values, representatives determined for every class in correspondence with the class of the inputted SD signal. The reference value of a block and the value normalized by the dynamic range DR are an example as the representatives.

(57) 要約

入力デジタル画像信号（SD信号）が予測によってより解像度の高いデジタル画像信号（HD信号）へ変換される。予測対象の注目画素の周辺に位置する、SD信号の複数の参照画素の1次元、2次元または3次元のレベル分布によって、注目画素のクラス分けがなされ、また、周辺の複数の画素と予め学習によって決定されている予測係数との線形1次結合によって、注目画素の予測値が生成される。学習時には、既知のHD信号とこれから形成されたSD信号とを使用して、周辺のSD信号の画素の値と予測係数の線形1次結合によって予測された値と真値との誤差の二乗和が最小となるような予測係数が決定される。予測係数に限らず、予め学習により代表値をクラス毎に決定し、これを入力SD信号のクラスに対応して予測値としても良い。代表値の一例は、ブロックの基準値およびダイナミックレンジDRによって正規化された値である。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	DE	ドイツ	KR	大韓民国	PL	ポーランド
AU	オーストラリア	DK	デンマーク	KZ	カザフスタン	PT	ポルトガル
BE	ベルギー	ES	スペイン	LI	リヒテンシュタイン	RO	ルーマニア
BF	ブルキナファソ	FI	フィンランド	LK	スリランカ	RU	ロシア連邦
BG	ブルガリア	FR	フランス	LU	ルクセンブルグ	SD	スーダン
BJ	ベナン	GA	ガボン	LV	ラトヴィア	SE	スウェーデン
BR	ブラジル	GB	イギリス	MC	モナコ	SI	スロベニア
BY	ベラルーシ	GE	ジョージア	MD	モルドバ	SK	スロヴァキア共和国
CA	カナダ	GN	ギニア	MG	マダガスカル	SN	セネガル
CF	中央アフリカ共和国	GR	ギリシャ	ML	マリ	TD	チャド
CG	コンゴ	HU	ハンガリー	MN	モンゴル	TG	トーゴ
CH	スイス	IE	アイルランド	MR	モリタニア	TJ	タジキスタン
CI	コートジボワール	IT	イタリア	MW	マラウイ	TT	トリニダードトバゴ
CM	カメルーン	JP	日本	NE	ニジェール	UA	ウクライナ
CN	中国	KE	ケニア	NL	オランダ	US	米国
CS	ナエッコスロヴァキア	KG	キルギスタン	NO	ノルウェー	UZ	ウズベキスタン共和国
CZ	チェコ共和国	KP	朝鮮民主主義人民共和国	NZ	ニュージーランド	VN	ベトナム

明 細 書

発明の名称

画像信号変換装置

技術分野

- 5 この発明は、入力された標準解像度の画像信号をより高い解像度の画像信号へ変換する、所謂、アップコンバージョンに適用可能な画像信号変換装置に関する。

背景技術

- 10 例えばテレビジョン信号の場合、既存の標準解像度（SD）のテレビジョン信号の放送のみならず、高解像度（HD）のテレビジョン信号の放送が試験的に開始されている。HD信号に対応できるテレビジョン受像機も実用化されている。これらのSDテレビジョン方式およびHDテレビジョン方式が混在する状況を迎えようとしている。

- 15 SDおよびHD方式が併存する時には、HDテレビジョンモニタによりSDテレビジョン方式のビデオ信号を再生するための信号変換装置が必要となる。SD信号およびHD信号の規格としては、種々のものが提案されているが、一例として、SD信号がNTSC方式（525ライン／60フィールド、
20 アスペクト比4：3）のテレビジョン信号であり、HD信号がハイビジョン信号（1125ライン／60フィールド、アスペクト比16：9）を想定する。HD信号は、SD信号のものに比して約4倍の解像度を有している。従って、信号変換装置は、到来したSD信号を処理して、HD信号と同様に、
25 4倍の画素数のビデオ信号を形成する、アップコンバー

ジョンを行う。

従来は、補間フィルタを使用した信号変換装置が使用されている。第1図は、従来のアップコンバージョンのための信号変換装置の一例のブロック図を示す。入力端子1から入力されたSD信号は、水平補間フィルタ2により水平方向の画素数が2倍とされ、垂直補間フィルタ3により垂直方向のライン数が2倍とされ、出力端子4からHD信号として出力される。即ち、画像のアップコンバージョンがフィルタを用いて行われている。入力SD信号は、例えば補間点に0データを挿入することによって、サンプリング周波数がHD信号と等しくされる処理がなされる。そして、この補間点に対応する補間値がフィルタリング処理で形成される。

第2図はその補間フィルタの構成例を示す。入力端子5から供給された信号に乗算器により、フィルタ係数 $\alpha_0, \alpha_1, \dots, \alpha_n$ を掛け、単位遅延量Tのレジスタにより、順次遅延すると共に加算し、補間出力が出力端子6から出力される。水平補間フィルタ2では、この単位遅延量Tがサンプル周期に選ばれており、垂直補間フィルタ3では、これがライン周期に選ばれている。

従来の画像信号変換装置は、フィルタを用いてSD信号をHD信号へアップコンバートするから、出力されるHD信号は、SD信号を処理して得られた信号であって、その解像度は入力された元のSD信号以上にはならない。

従って、この発明の一つの目的は、解像度を補償することが可能な画像信号変換装置を提供することにある。

この発明の他の目的は、入力信号の局所的画像の特徴に基づいたクラス分けを行うことによって、変換の精度が向上された画像信号変換装置を提供することにある。

発明の開示

5 この発明の一つの態様は、入力される第1のデジタル画像信号をより高い解像度の第2のデジタル画像信号へ変換するための信号変換装置において、

 第2のデジタル画像信号の予測しようとする注目画素に関して、注目画素の空間的および／または時間的に周辺の第1のデジタル画像信号の複数の参照画素のレベル分布のパターンに基づいてクラスを決定するためのクラス分け手段と、

10 クラス毎に予測係数が記憶されており、クラス分け手段からのクラス情報に応答して予測係数を出力するメモリ手段と、

 注目画素の空間的および／または時間的に周辺の第1のデジタル画像信号の複数の画素の値と予測係数との線形1次結合によって、注目画素の予測値を発生する予測値生成手段とからなる信号変換装置である。

 予測係数は、予め学習によって決定される。学習装置は、第2のデジタル画像信号から第1のデジタル画像信号を形成する手段と、

20 第2のデジタル画像信号の予測しようとする注目画素に関して、注目画素の空間的および／または時間的に周辺の第1のデジタル画像信号の複数の参照画素のレベル分布のパターンに基づいてクラスを決定するためのクラス分け手段と、

25 注目画素の空間的および／または時間的に周辺の第1のデ

ィジタル画像信号の複数の画素の値と予測係数との線形 1 次結合によって、注目画素の予測値を発生した時に、注目画素の真値と予測値との誤差の二乗和を最小とするような予測係数をクラス毎に決定する手段とからなる。

5 この発明の他の態様は、予測係数の代わりに、クラス毎の代表値を使用して、代表値を第 2 のディジタル画像信号の予測値とする。

また、クラス分けは、第 1 のディジタル画像信号の 1 次元、2 次元あるいは 3 次元の画素配列のレベル分布のパターンに
10 基づいてなされる。さらに、レベル分布のパターンを求める時に、各画素のビット数が圧縮符号化によって圧縮される。

図面の簡単な説明

第 1 図は従来の画像信号変換装置の一例のブロック図、第 2 図は補間フィルタの一例のブロック図、第 3 図はこの発明
15 による画像信号変換装置の一実施例のブロック図、第 4 図は S D 信号の画素と H D 信号の画素の 2 次元配列を示すための略線図、第 5 図は S D 信号の画素と H D 信号の画素の 1 次元配列を示すための略線図、第 6 図は A D R C 符号化の説明のための信号のレベル変化を示す略線図、第 7 図は A D R C 符号化における量子化特性を説明するための略線図、第 8 図は
20 1 ビット A D R C の符号化回路の一例のブロック図、第 9 図は複数の H D 画素の値を予測する時に使用される S D 画素を示す略線図、第 10 図はこの発明の一実施例の動作を説明するためのフローチャート、第 11 図は予測係数を決定する学習時の構成を概略的に示すブロック図、第 12 図は学習時の
25

動作を説明するためのフローチャート、第 13 図はインタレース走査における、SD 画素と HD 画素の垂直方向の位置関係を表す略線図、第 14 図はモード 1 における、SD 画素の配置を示す略線図、第 15 図はモード 2 における、SD 画素の配置を示す略線図、第 16 図はモード 3 における、SD 画素の配置を示す略線図、第 17 図はモード 4 における、SD 画素の配置を示す略線図、第 18 図は各モードの予測係数によって画像信号を変換するための装置のブロック図である。発明を実施するための最良の形態

10 以下、この発明の好適なる一実施例を図面を参照して説明する。第 3 図は、この一実施例の構成を示し、11 で示す入力端子に対して、SD 信号が供給される。この SD 信号は、例えば NTSC 方式のビデオ信号であって、所定のサンプリング周波数をもって、1 画素が 8 ビットのデジタル信号とされたものである。この入力 SD 信号は、ブロック化回路 12 に供給される。ブロック化回路 12 は、ラスタ走査のデータの順序を 1 次元ブロック、2 次元ブロックまたは 3 次元ブロックの順序のデータへ変換する。

20 ブロック化回路 12 の出力信号がデータ圧縮回路 13 および予測値生成回路 16 に供給される。データ圧縮回路 13 の出力データがクラスコード発生回路 14 へ供給される。クラスコード発生回路 14 からのクラスコードがメモリ 15 に対してアドレス信号として供給される。メモリ 15 には、予め学習によって決定された予測係数が格納されている。メモリ 25 15 からの予測係数が予測値生成回路 16 に供給される。

データ圧縮回路 1 3 およびクラスコード発生回路 1 4 は、
予測の対象の注目画素のクラス分けを行うための構成である。
クラス分けは、注目画素を含むブロック毎のレベル分布のパ
ターンに従ってなされる。このクラス分けで決定されたクラ
5 スを指示するクラスコードがクラスコード発生回路 1 4 から
発生する。クラス分けは、SD 信号に基づいてなされるが、
注目画素の周辺の複数の SD 信号の画素（SD 画素と称する）
の値（8 ビット）をそのままクラス分けのために参照すると、
クラス数が多くなり過ぎる問題がある。そこで、データ圧縮
10 回路 1 3 が設けられ、参照される周辺の画素（参照画素）の
ビット数が圧縮される。データ圧縮回路 1 3 の一例は、AD
RC 符号化回路である。

なお、データ圧縮としては、ADRC 符号化 (Adaptive Dy
namic Range Coding) に限らず、DCT (Discrete Cosine
15 Transform)、VQ (ベクトル量子化)、あるいは DPCM
(Differential Pulse Code Modulation)、BTC (Block Tra
ncation Coding)、非線形量子化等を選択的に使用すること
ができる。

ブロック化回路 1 2 では、テレビジョン信号のラスタ走
20 査の順序から第 4 図に示すような 2 次元ブロックのデータの
順序へ入力 SD 信号を走査変換する。第 4 図の例では、(3
× 3) 画素が 1 ブロックとされ、a ~ i の値をそれぞれ有す
る 9 個の SD 画素が 1 ブロックに含まれる。この 1 ブロック
の SD 画素によって、中心付近に位置する 4 個の HD 画素 A
25 ~ D の値が予測値生成回路 1 6 において生成される。

第4図に示されるブロックは、単なる一例であり、代わりに、例えば、第5図のように4個のSD画素a～dからなる1次元ブロックを用いて、HD画素の予測値を生成することもできる。さらに、後述のように、3次元ブロックに対しても、この発明を適用することができる。

第5図の1次元配列において、SD画素a, b, cからHD画素Aのクラス分けと予測値生成がなされ、SD画素a, b, c, dからHD画素Bのクラス分けと予測値生成がなされる。また、学習の場合も同様の関係でクラス分けと予測値生成がなされる。

データ圧縮回路13として採用できるADRC符号化について説明する。ADRCは、画素の局所的な相関を利用してレベル方向の冗長度を適応的に除去するものである。例えば第6図に示すように、8ビットの原データの持つ0～255のダイナミックレンジの中で、各ブロック毎に再量子化するのに必要なブロック内のダイナミックレンジA、Bは、原ダイナミックレンジに比して大幅に小さくなることが分かる。このために、再量子化に必要なビット数は、元の8ビットより大幅に低減することができる。

元のビット数(8ビット)より少ない割り当てビット数を一般的にp、ブロックのダイナミックレンジをDR、ブロック内のある画素の値をx、再量子化コードをQとすると、次の式(1)によりブロック内の最大値MAXと最小値MINとの間を 2^p 個に均等に分割して再量子化を行う。第7図(a)に $p=3$ の場合の再量子化を示す。

$$DR = MAX - MIN + 1$$

$$Q = [(x - MIN + 0.5) \times 2^p / DR] \quad (1)$$

[z] は、z 以下の最大の整数を表す。

次に、第7図(a)におけるpビット再量子化の階調レベルの中の(2^p - 1)に相当するデータレベルを持つブロック内画素の平均値を計算し、これを第7図(b)に示すように、新たな最大値MAX'とする。また、再量子化の階調レベル0に相当するデータレベルを持つブロック内の画素の平均値を新たな最小値MIN'とする。新しく求められた最大値MAX'および最小値MIN'からダイナミックレンジを定義し直して、次の式(2)によって、再量子化を行う。

$$DR' = MAX' - MIN'$$

$$q = [(x - MIN') \times (2^p - 1) / DR' + 0.5] \quad (2)$$

[z] は、z 以下の最大の整数を表す。

このような新たな最大値MAX'、最小値MIN'、ダイナミックレンジDR'を定義しなおすADRCは、ノイズの影響を受けることなく、効率の良い情報量の圧縮を行うことができる。

さらに、ADRCにおける量子化として、復元される代表レベルとして、最大値MAXおよび最小値MINと等しいレベルを持つような特性も可能である。

2次元ブロックの例では、上述のADRCによって、8ビットの値a~iから各pビットへ圧縮されたn画素の値がクラスコード発生回路14へ供給され、式(3)によって表されるクラスcを指示するクラスコードclassが生成される。

$$class = \sum_{i=1}^n q_i (2^p)^i \quad (3)$$

ここで1ビットADRCを例にとって、ADRC符号化回路について第8図を参照して説明する。第8図において、入力端子21からのブロックの順序に変換されたデータに関して、検出回路22が各ブロック内の画素の値の最大値MAX、最小値MINを検出する。減算回路23に対してMAXおよびMINが供給され、その出力にダイナミックレンジDRが発生する。入力データおよびMINが減算回路24に供給され、減算回路24から最小値が除去されることで、正規化された画素データが発生する。

ダイナミックレンジDRが割算回路25に供給され、正規化された画素データがダイナミックレンジDRで割算され、割算回路25の出力データが比較回路26に供給される。比較回路26では、9個の画素の割算出力が0.5を基準として、より大きいか、より小さいかが判断される。この結果に応じて、'0' または '1' の1ビットデータDTが発生する。このデータDTが出力端子27に取り出される。この1ビットADRCを用いてクラス分割を行えば(3×3)のSDブロックのクラスが9ビットのクラスコードで表現される。

第3図に戻って説明すると、クラスコードと対応する予測係数がメモリ15から読出され、予測値生成回路16では、ブロック化回路12から供給されたブロック単位のSDデータと読出された予測係数 $w_1 \sim w_n$ から線形1次結合

$$y' = w_1 x_1 + w_2 x_2 + \dots + w_n x_n \quad (4)$$

に従った演算によりHD画素の予測値 y' が生成される。前述の第4図の例では、 $(n = 1, 2, \dots, 9)$ である。予測対象である注目HD画素の位置に対応して、第9図に示す関係でもって、所定のSDデータが $x_1 \sim x_9$ として用いられる。

すなわち、1ブロック内の4個のHD画素A～Dのそれぞれの予測値を生成する時に、注目HD画素に応じて予測係数に組み合わされるSD画素が変更される。例えば注目HD画素がAの場合、

$$y' = w_1 a + w_2 b + w_3 c + \dots + w_n i \quad (5)$$

により画素Aの予測値が生成される。注目HD画素がBの場合、

$$y' = w_1 a + w_2 d + w_3 c + \dots + w_n e \quad (6)$$

により画素Bの予測値が生成される。このように、同じブロック（言い換えると同じクラス）の4個のHD画素の予測値を生成するための係数を共通とすることができ、メモリ15の容量の削減とメモリ15に対するアクセス回数を少なくすることができる。第9図中の係数に乘じられる値 $x_1 \sim x_9$ とSD画素 $a \sim i$ の対応関係は、注目HD画素とSD画素間の距離に基づいて規定されたものである。

ここで、 $x_1 \sim x_9$ は、例えば1ビットADRCで形成されたクラスコードの9ビットと考えることもできる。すなわち、1ブロックの中心付近のHD画素A～Dのそれぞれに関するクラスは、SD画素 $a \sim i$ の値を圧縮符号化した値の順序を変えるのみで、規定することができる。メモリにこれら

の値を蓄えておき、読出し順序を変更すれば良い。

第10図は、この発明によるSD信号からHD信号へのアップコンバートの処理の順序を示すフローチャートである。ステップ31からアップコンバートの制御が開始され、ステップ32のデータブロック化では、SD信号が供給され、第4図に示すようにSD画素を処理ブロック単位に取り出す処理を行なう。ステップ33のデータ終了では、入力された全データの処理が終了していれば、ステップ37の終了へ、終了していなければ、ステップ34のクラス決定へ制御が移る。

ステップ34のクラス決定では、SD信号の信号レベルの分布で定まるパターンからクラスが決定される。例えば1ビットADRCによって圧縮されたデータによりクラスが決定される。ステップ35では、クラスコードに対応する予測係数をメモリから読出す。ステップ36の予測演算では、式(4)の演算を行ない、HD画素の予測値 y' を出力する。この一連の制御が全データに対し繰り返され、全データが終了すればステップ33のデータ終了からステップ37の終了に制御が移り、アップコンバートの処理が終了する。

上述のように、メモリ15には、予め学習により得られた予測係数が記憶されている。学習について以下に説明すると、第11図は、この発明の一実施例の学習時の構成を示すブロック図である。

41は入力端子で、標準的なHD信号の静止画像を多数枚入力され、垂直間引きフィルタ42と学習部44へ供給される。垂直間引きフィルタ42は、HD信号を垂直方向に間引

きし、垂直間引きフィルタ 4 2 と接続された水平間引きフィルタ 4 3 が H D 信号を水平方向に $1/2$ に間引きを行ない、S D 信号と同等の画素数の画像信号が学習部 4 4 に供給される。予測係数メモリ 4 5 は、学習部 4 4 内のクラス分け回路
5 で決定されたクラスと対応するアドレスに予測係数 $w_1 \sim w_n$ を貯える。

H D 信号から S D 信号を形成する方法としては、上述のような間引きフィルタを使用するのに限らず、他の方法が可能である。第 4 図の画素配置のように、 (2×2) 画素の 4 画素（例えば A、B、C、D）の平均値によって S D 画素 a の
10 値を形成しても良い。さらに、単純平均値ではなく、より広い範囲内の H D 画素（例えば 1 ブロックの H D 画素）の値の距離に応じた加重平均値を S D 画素の値としても良い。

学習部 4 4 では、第 4 図の配列のように、 (3×3) の S
15 D 画素によって 1 ブロックが構成される場合、S D 画素 a \sim i と H D 画素 A、B、C、D が一組の学習データとなる。1 フレームに関して多数組の学習データが存在し、且つ、フレーム数を増加させることにより非常に多数の組の学習データを利用できる。

20 S D 画素 a \sim i を圧縮し、圧縮された S D 画素の値の 2 次元分布のパターンによりクラスを決定するクラス分けと、各クラスの予測係数を最小二乗法により決定する演算処理とを学習部 4 4 が行う。クラス分けは、第 3 図中のデータ圧縮回路 1 3 とクラスコード発生回路 1 4 とが行う処理と同一のも
25 のである。この学習部 4 4 をソフトウェア処理の構成とした

時のその動作を示すフローチャートを第12図に示す。

5 ステップ51から学習部44の制御が開始され、ステップ52の対応データブロック化では、HD信号とSD信号が供給され、第4図に示すような配列関係にあるHD画素(A～D)およびSD画素(a～i)を取り出す処理を行なう。ステップ53のデータ終了では、入力された全データ例えば1フレームのデータの処理が終了していれば、ステップ56の予測係数決定へ、終了していなければ、ステップ54のクラス決定へ制御が移る。

10 ステップ54のクラス決定では、予測対象のHD画素(第4図中のA～D)の周辺の複数のSD画素(a～i)のレベル分布のパターンからクラスが決定される。この制御では、ビット数削減のため上述のように、SD画素が例えばADRC符号化によって圧縮される。ステップ55の正規方程式加算では、後述する式(12)、式(13)および式(14)
15 の方程式を作成する。

 ステップ53のデータ終了から全データの処理が終了後、制御がステップ56に移り、ステップ56の予測係数決定では、後述する式(14)を行列解法を用いて解いて、予測係
20 数を決める。ステップ57の予測係数ストアで、予測係数をメモリにストアし、ステップ58で学習部44の一連の動作が終了する。

 第4図の画素配列を使用して、SD画素a～iを圧縮符号化し、符号化された値に基づいてクラス分けがされることは、
25 上述の信号変換装置と同様である。また、SD画素a～iの

値と予測係数 $w_1 \sim w_9$ との線形 1 次結合によって、HD 画素 A～D の予測値を第 9 図に示す組合せでもって生成する点も上述と同様である。

ここでは、HD 画素を SD 画素の値から予測するための係数を求める処理をより詳細に説明する。一般的に SD 画素の値を $x_1 \sim x_n$ とし、注目 HD 画素の真値を y としたとき、クラス毎に係数 $w_1 \sim w_n$ による n タップの線形 1 次結合の次の式を設定する。

$$y' = w_1 x_1 + w_2 x_2 + \dots + w_n x_n \quad (7)$$

を設定する。学習前は w_i が未定係数である。

上述のように、学習はクラス毎に複数の HD データおよび SD データに対して行なう。データ数が m の場合、式 (7) に従って、

$$y_j' = w_1 x_{j1} + w_2 x_{j2} + \dots + w_n x_{jn} \quad (8)$$

(但し、 $j = 1, 2, \dots, m$)

$m > n$ の場合、 $w_1 \sim w_n$ は一意には決まらないので、誤差ベクトル e の要素を

$$e_j = y_j - (w_1 x_{j1} + w_2 x_{j2} + \dots + w_n x_{jn}) \quad (9)$$

(但し、 $j = 1, 2, \dots, m$)

と定義して、次の式 (10) を最小にする係数を求める。

$$E^2 = \sum_{j=1}^m \{e_j\}^2 \quad (10)$$

いわゆる最小自乗法による解法である。ここで式 (10) の w_i による偏微分係数を求める。

$$\frac{\partial E^2}{\partial w_i} = \sum_{j=0}^m 2 \left(\frac{\partial e_j}{\partial w_i} \right) e_j = \sum_{j=0}^m 2 x_{ij} \cdot e_j \quad (11)$$

式(11)を0にするように各 w_i を決めればよい。従って、

$$X_{ij} = \sum_{p=0}^m X_{pi} \cdot X_{pj} \quad (12)$$

$$Y_i = \sum_{j=0}^m X_{ij} \cdot y_j \quad (13)$$

として、行列を用いると、

$$\begin{bmatrix} X_{11} & X_{12} & \cdots & X_{1n} \\ X_{21} & X_{22} & \cdots & X_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ X_{n1} & X_{n2} & \cdots & X_{nn} \end{bmatrix} \begin{bmatrix} w_1 \\ w_2 \\ \vdots \\ w_n \end{bmatrix} = \begin{bmatrix} Y_1 \\ Y_2 \\ \vdots \\ Y_n \end{bmatrix} \quad (14)$$

となり、掃き出し法等の一般的な行列解法を用いて、 w_i について解けば予測係数 w_i が求まり、クラスコードをアドレスとして、この予測係数 w_i をメモリに格納しておく。

以上のように学習部44が実データであるHD信号を用いて予測係数 w_i を決定することができ、これがメモリに格納される。そして、学習部44で決定された予測係数が第3図のメモリ15に蓄えられている。

上述の一実施例におけるクラス分けおよび予測値生成は、1次元あるいは2次元の配列のSD画素の値に基づいて行っている。3次元の配列のSD画素の値を使用してなされるクラス分けについて次に説明する。3次元のSD画素の配列を使用した時には、時間方向の情報をクラス分けおよび予測値

生成に対して反映させることができる。他の利点は、インタレース走査のテレビジョン信号の場合では、フィールド内のライン間隔が離れているために、フィールド内の処理をした時の予測の精度が低下することを防止できることである。

5 従来の信号変換装置では、動き情報を反映させるために、動き検出を行ない、動き画素の場合、フィールド内処理を施し、また、静止画素の場合、フィールド間処理を施し、動き量に応じた係数比で各処理を行った出力信号を混合していた。この従来の方法では、動き検出回路が別に必要となり、また、
10 動き検出が正確でないと、画質の劣化が起こりやすい。3次元のSD画素を使用したクラス分けおよび予測値生成は、かかる問題点を解決することができる。

SD信号からHD信号への信号変換時のクラス分けおよび予測値生成と学習時のそれとは、上述したように同一である。
15 従って、ここでは、3次元の画素配列を使用したクラス分けおよび予測値生成について主として説明するが、HD信号とSD信号とのラインの位置関係について始めに説明する。

学習時のように、HD信号をSD信号へ変換する時に、垂直方向に関して、HD信号の連続する3ライン上の画素に対して、第13図に示すように、 $1/8$ 、 $4/8$ 、 $3/8$ といったような非対称係数を乗じることによって、SD信号の1
20 ラインを形成する。そして、この非対称係数をフィールド毎に逆順で用いる。この処理は、SD信号のインタレース構造を保存するためである。すなわち、単にHD信号の2ライン
25 を合成してSD画像の1ラインを形成すると、nフィールド

のラインと $(n+1)$ フィールドのラインとの間隔が不均一となり、インタレース構造でなくなるからである。

5 クラス分けおよび予測値生成のためには、例えば 3 次元分布の 12 個の SD 画素が使用される。予測の対象としての 1 個の HD 画素の位置に応じて 12 個の SD 画素のパターンは、4 種類存在しうる。この 4 種類をモード 1 ～モード 4 と称することにす。各モードにおける画素の配列を第 14 図、第 15 図、第 16 図および第 17 図に夫々示す。丸印が予測対象の HD 画素、四角印がクラス分けおよび予測のための SD 画素を夫々表す。

10 ハードウェアの簡略化のために、第 15 図および第 17 図においては、 $(n-1)$ フィールドおよび $(n+1)$ フィールドの一部の SD 画素を $1/2$ 平均して n フィールドに SD 画素を形成している（点線四角印）。第 14 図、第 15 図、第 16 図および第 17 図は、クラス分けと予測のために必要な複数の SD 画素と予測の対象となる 1 個の HD 画素のみを示している。

15 モード 1（第 14 図の配列）において、 n フィールドの 6 個の SD 画素と、 $(n-1)$ フィールドおよび $(n+1)$ フィールドの夫々 3 個の SD 画素、合計 12 個の SD 画素から HD 画素のクラス分けと予測値生成とを行う。このモード 1 は、第 13 図との対応関係では、 $1/8$ の係数が乗じられるラインの HD 画素を予測するものである。

25 モード 2（第 15 図の配列）において、 $(n-1)$ フィールドと $(n+1)$ フィールドの同一位置のラインに含まれる

SD画素同士を平均化して n フィールド中に必要とする3個のSD画素を補間する。そして、その補間したSD画素を含む n フィールドの6個のSD画素と、 $(n-1)$ フィールドおよび $(n+1)$ フィールドで平均に使用したSD画素を除いた夫々3個のSD画素、合計12個のSD画素が使用される。モード2は、第13図との対応関係では、 $4/8$ の係数が乗じられるラインのHD画素を予測するものである。

モード3（第16図の配列）において、 n フィールドの6個のSD画素と、 $(n-1)$ フィールドの4個のSD画素と、 $(n+1)$ フィールドの2個のSD画素、合計12個のSD画素が使用される。モード3は、第13図との対応関係では、 $1/8$ の係数が乗じられるラインのHD画素を予測するものである。

モード4（第17図の配列）において、 $(n-1)$ フィールドと $(n+1)$ フィールドのSD画素を平均化して n フィールド中に必要とする4個（2ラインで夫々2個）のSD画素を補間する。そして、その補間したSD画素を含む n フィールドの8個のSD画素と、 $(n-1)$ フィールドおよび $(n+1)$ フィールドで平均化に使用したSD画素を除いた夫々2個のSD画素、合計12個のSD画素が使用される。モード4は、第13図との対応関係では、 $4/8$ の係数が乗じられるラインのHD画素を予測するものである。

上述のように、モード3およびモード4では、図中のSD画素のサンプリング間隔の $1/2$ の位置にHD画素ライン上にHD画素を生成している。すなわち、モード1～モード4

によって、垂直方向のみならず、水平方向でも、SD画素の2倍のHD画素が生成される。

学習時には、上述のようなモード1～モード4の各モードの夫々の予測係数がクラス毎に最小二乗法によって決定され、メモリに格納される。そして、任意の入力SD画像に対して出力HD画像を生成するための信号変換装置は、第18図に示す構成とされる。

入力端子61から $(n+1)$ フィールドのSD画像が信号d0として供給され、d0はフィールドメモリ62とアップコンバート回路64a～64dに夫々供給される。d0を供給されたフィールドメモリ62からnフィールドのSD画像信号d1が出力される。この信号d1がフィールドメモリ63とアップコンバート回路64a～64dに夫々供給される。d1を供給されたフィールドメモリ63から $(n-1)$ フィールドのSD画像が信号d2として出力され、アップコンバート回路64a～64dに夫々供給される。

アップコンバート回路64a～64dに供給されたSD画像の信号d0, d1, d2に基づいてHD画像が形成される。これらアップコンバート回路64a～64dは、上述したモード1～モード4の各モードの信号変換を受け持っている。セレクト65は入力端子67からのセレクト信号で制御される。セレクト信号は、注目画素のモードを指示する信号であり、このセレクト信号と対応して選択されたアップコンバート回路の出力が選択的に出力端子66から出力される。

第18図中のアップコンバート回路64a～64dは、記

憶されている予測係数が異なる点を除くと、互いに同一の構成である。より具体的には、ブロック化回路に対して、時間的に連続する3フィールドのSD信号が供給され、3次元ブロックが構成される点を除くと、第3図に示す構成と同様のものである。

上述のこの発明の一実施例では、既知のHD信号と、これから形成されたSD信号との対応関係を学習することによって、クラス毎の予測係数を決定し、この予測係数と入力SD信号とを使用してHD信号を生成するので、解像度の補償されたHD信号を得ることができる。また、SD信号のレベル分布に応じて適応的にクラスを選択するため、画像の局所的性質に追従したアップコンバージョンが可能となる。

また、入力SD信号のレベルの3次元(時空間)分布に応じてクラス分割を行ない、クラス毎に予め学習により決定された予測係数に基づいた信号変換を行なうことにより、時間方向の情報も有効に利用できるようになり、動き画像に対してより精度の高い変換画像信号を出力することができる。さらに、時間方向の情報も有効に利用することから、とくにインタレース信号の変換時に効果がある。

なお、以上の実施例では、クラス分けで参照される複数のSD画素と予測値を生成するために使用される複数のSD画素とが同一とされている。しかしながら、その必要はなく、例えば予測のための複数のSD画素の内の一部のものを使用してクラス分けを行っても良い。

また、HD信号を予測する時に、複数のSD画素の値と予

測係数の線形 1 次結合に限らず、HD 信号の画素の値自身または正規化した値（これらを代表値と称する）を予め学習によってクラス毎に決定し、この値をメモリに格納するようにしても良い。

5 以下、HD 信号の画素の値を正規化した値を使用する、この発明の他の実施例について説明する。他の実施例でも、上述の一実施例と同様に、SD 画素の 1 次元、2 次元あるいは 3 次元分布のパターンに対応してクラス分けがなされ、各クラスの予測値が学習により決定される。例えば第 4 図に示される 2 次元配列の SD 画素の場合には、第 9 図に示す関係で
10 ブロック内の HD 画素 A～D のそれぞれのクラス分けに使用される SD 画素が選択される。

一例として、第 4 図に示される 2 次元分布の HD 画素 A～D の一つに注目した場合、そのクラス c における現在までの
15 学習データの積算値を $SU(c)$ 、累積度数を $n(c)$ とすると、以下の式 (15) の演算を学習データに関して繰り返して行う。

$$SU(c) = (hd - base) / DR$$

$$n(c) = n(c) + 1 \quad (15)$$

20 ここで、hd が学習データ中の HD 画素の真値であり、base がブロックの基準値であり、DR がブロックのダイナミックレンジである。基準値としては、ブロック内の SD 画素の最小値、注目 HD 画素に最も近い位置の SD 画素の値、ブロック内の所定位置の SD 画素の値、ブロック内の SD 画素の
25 値の単純平均値（あるいは加重平均値）等である。

そして、次の式(16)により重心値(正規化した値) $g(c)$ を求める。

$$g(c) = SU(c) / n(c) \quad (16)$$

5 なお、重心値 $g(c)$ は、以下の式(17)によって直接的に求めても良い。

$$n(c) = n(c) + 1$$

$$g(c) = \{ (hd - base) / DR + (n(c) - 1) \times g(c) \} / n(c) \quad (17)$$

10 上述の式(16)は、メモリに対して、それまでに求められた重心値を順次蓄える処理を表し、式(17)は、以前の重心値の積算値をメモリに蓄えておき、これと現在の重心値との合計を現在までの累積度数で除算する処理を表している。上述のように、式(16)および式(17)は、HD画素の真値 hd 自体ではなく、これを基準値 $base$ およびダイナミックレンジ DR で正規化した値を積算することを表している。

15 クラス毎に画素の真値を積算し、積算値をメモリに蓄え、積算値を累積度数で割算することで、代表値を求めても良いが、積算値が大きな値となり、メモリの奥行き方向のビット数が増加する問題が生じる。

20 学習により決定された重心値が信号変換時に使用される。すなわち、上述の一実施例と同様に、クラスを指示するクラスコードがメモリにアドレスとして供給され、メモリからそのクラスの重心値 $g(c)$ が読出される。この重心値 $g(c)$ によって、下記の式(18)によって予測値 hd' が生成

25 される。

$$h d' = DR \times g(c) + base \quad (18)$$

5 なお、この発明の一実施例および他の実施例において、学習時に、ダイナミックレンジDRが所定値より小さいブロックを学習データから除外することによって、ノイズの影響を軽減するようにしても良い。

また、以上の実施例では、予め学習によって、予測係数、代表値を求めているが、処理速度が速いシステムでは、リアルタイムの処理で予測係数、代表値を求めることもできる。また、予め学習によって求められた予測係数、代表値をリアルタイム処理で求められたものによって、更新する構成も可能である。

10

また、高解像度の出力画像信号の全ての画素の値を予測する方法と、存在していない画素の値のみを予測する方法とのいずれを採用しても良い。

15 さらに、この発明は、インタレース走査のテレビジョン信号に限らず、順次走査のテレビジョン信号、テレビジョン信号以外の画像信号に対して適用することができる。

請 求 の 範 囲

1. 入力される第1のデジタル画像信号をより高い解像度の第2のデジタル画像信号へ変換するための信号変換装置において、

5 上記第2のデジタル画像信号の予測しようとする注目画素に関して、上記注目画素の空間的および／または時間的に周辺の上記第1のデジタル画像信号の複数の参照画素のレベル分布のパターンに基づいてクラスを決定するためのクラス分け手段と、

10 上記クラス毎に予測係数が記憶されており、上記クラス分け手段からのクラス情報に応答して上記予測係数を出力するメモリ手段と、

15 上記注目画素の空間的および／または時間的に周辺の上記第1のデジタル画像信号の複数の画素の値と上記予測係数との線形1次結合によって、上記注目画素の予測値を発生する予測値生成手段とからなる信号変換装置。

2. 請求の範囲1に記載の信号変換装置において、

 第2のデジタル画像信号から第1のデジタル画像信号を形成する手段と、

20 上記第2のデジタル画像信号の予測しようとする注目画素に関して、上記注目画素の空間的および／または時間的に周辺の上記第1のデジタル画像信号の複数の参照画素のレベル分布のパターンに基づいてクラスを決定するためのクラス分け手段と、

25 上記注目画素の空間的および／または時間的に周辺の上記

第 1 のデジタル画像信号の複数の画素の値と予測係数との線形 1 次結合によって、上記注目画素の予測値を発生した時に、上記注目画素の真値と上記予測値との誤差の二乗和を最小とするような予測係数を上記クラス毎に決定する手段とからなる学習装置によって、

予め予測係数を決定することを特徴とする画像信号変換装置。

3. 入力される第 1 のデジタル画像信号をより高い解像度の第 2 のデジタル画像信号へ変換するための信号変換装置において、

上記第 2 のデジタル画像信号の予測しようとする注目画素に関して、上記注目画素の空間的および／または時間的に周辺の上記第 1 のデジタル画像信号の複数の参照画素のレベル分布のパターンに基づいてクラスを決定するためのクラス分け手段と、

上記クラス毎に代表値が記憶されており、上記クラス分け手段からのクラス情報に応答して上記代表値を出力するメモリ手段と、

上記メモリ手段からの上記代表値を上記注目画素の予測値として発生する予測値生成手段とからなる信号変換装置。

4. 請求の範囲 3 に記載の信号変換装置において、

第 1 のデジタル画像信号の複数の画素からなるブロックの基準値とダイナミックレンジによって正規化された値を代表値として使用することを特徴とする画像信号変換装置。

5. 請求の範囲 3 に記載の信号変換装置において、

第 2 のデジタル画像信号から第 1 のデジタル画像信号を形成する手段と、

上記第 2 のデジタル画像信号の予測しようとする注目画素に関して、上記注目画素の空間的および／または時間的に
5 周辺の上記第 1 のデジタル画像信号の複数の参照画素のレベル分布のパターンに基づいてクラスを決定するためのクラス分け手段と、

上記クラス毎に上記第 2 のデジタル画像信号の代表値を平均化処理によって決定する手段とからなる学習装置によって、
10 て、

予め代表値を決定することを特徴とする画像信号変換装置。

6. 請求の範囲 1 または 3 に記載の信号変換装置において、

クラス分け手段は、第 1 のデジタル画像信号の複数の参照画素の 1 次元レベル分布のパターンに基づいてクラスを決定することを特徴とする装置。
15

7. 請求の範囲 1 または 3 に記載の信号変換装置において、

クラス分け手段は、第 1 のデジタル画像信号の複数の参照画素の 2 次元レベル分布のパターンに基づいてクラスを決定することを特徴とする装置。

20 8. 請求の範囲 1 または 3 に記載の信号変換装置において、

クラス分け手段は、第 1 のデジタル画像信号の複数の参照画素の 3 次元レベル分布のパターンに基づいてクラスを決定することを特徴とする装置。

9. 請求の範囲 1 または 3 に記載の信号変換装置において、

25 クラス分け手段は、第 1 のデジタル画像信号の複数の画

素の値を圧縮符号化し、符号化値に基づいてクラスを決定することを特徴とする装置。

10. 請求の範囲1または3に記載の信号変換装置において、
第2のデジタル画像信号の近接する複数の画素に対する
5 予測係数または代表値を統合化してメモリを節約するようにした信号変換装置。

11. 請求の範囲1または3に記載の信号変換装置において、
第1および第2のデジタル画像信号がインタレース走査
のテレビジョン信号であることを特徴とする画像信号変換装
10 置。

Fig. 1

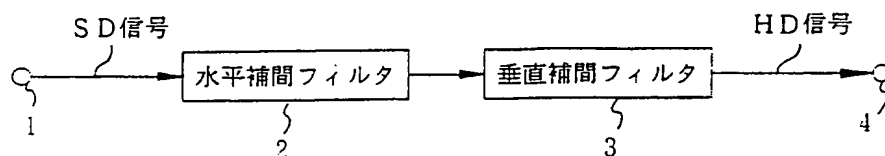


Fig. 2

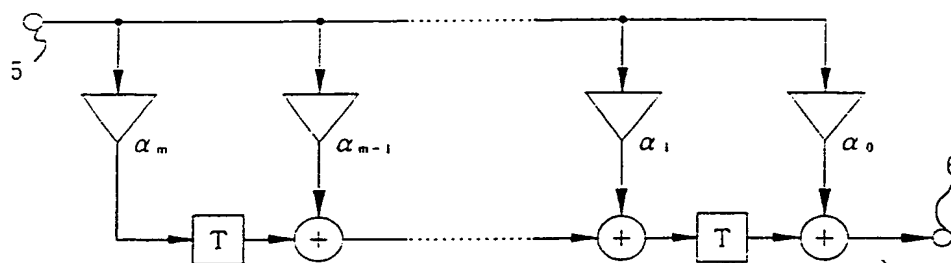


Fig. 3

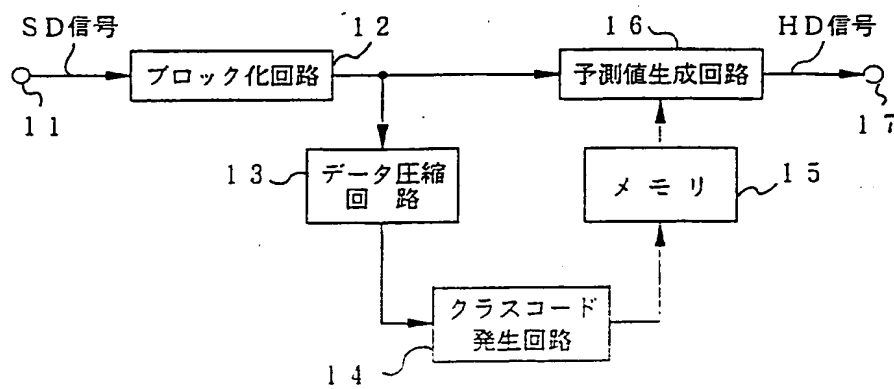


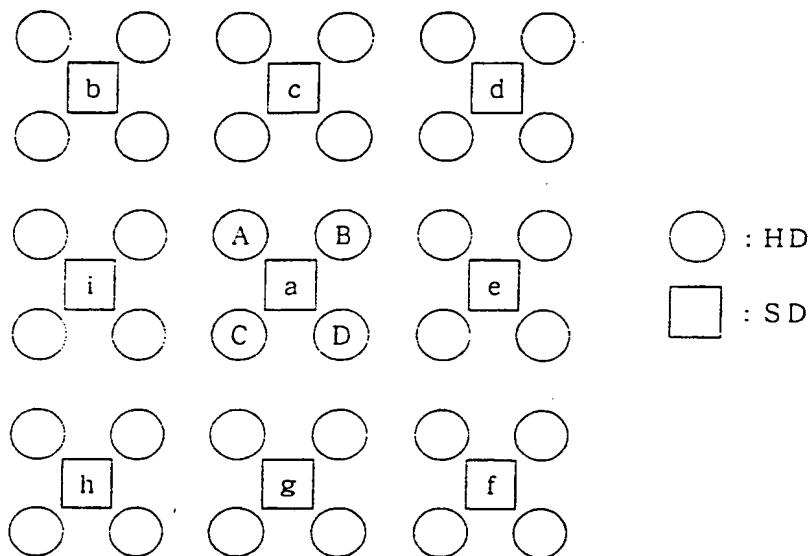
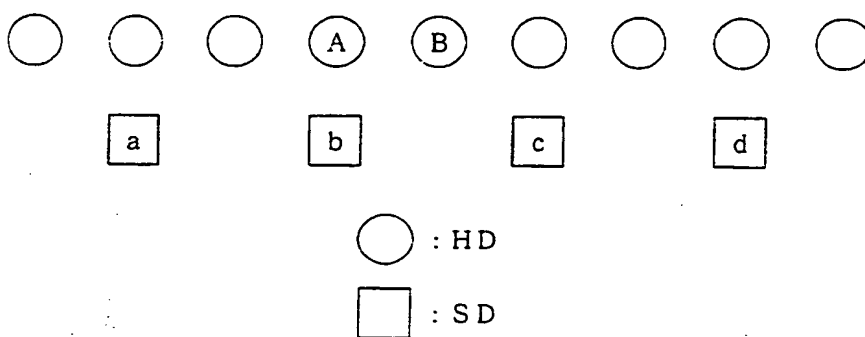
Fig. 4*Fig. 5*

Fig. 6

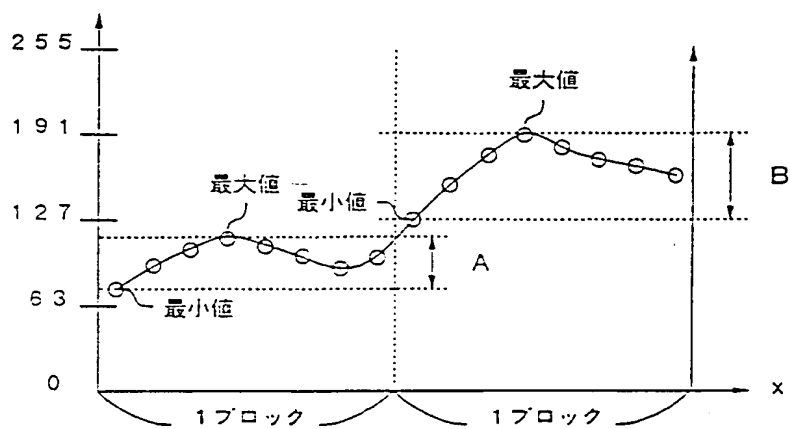


Fig. 7

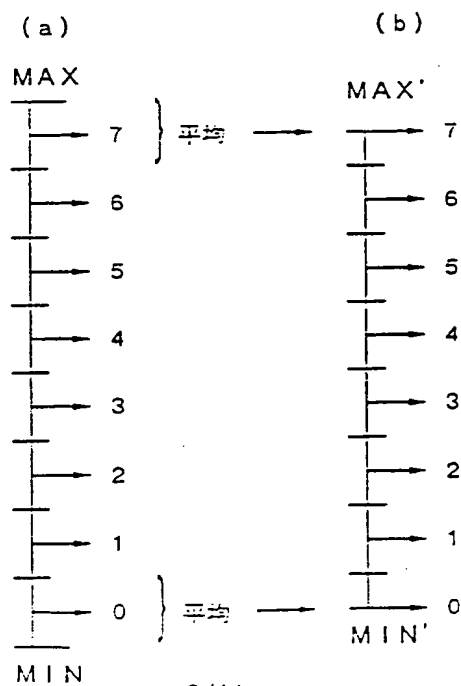


Fig. 8

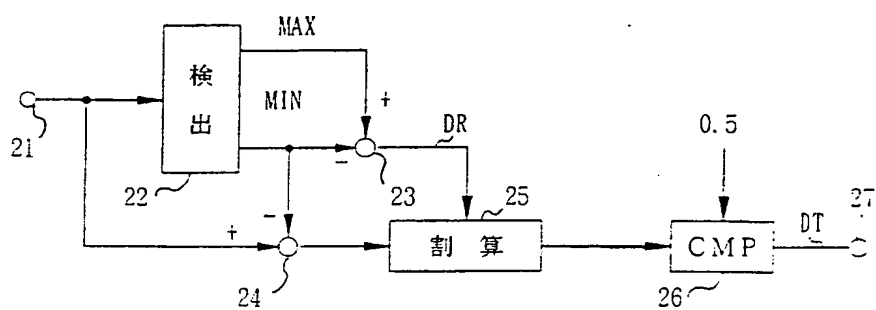


Fig. 9

注目HD画素	S D 画素								
	x 1	x 2	x 3	x 4	x 5	x 6	x 7	x 8	x 9
A	a	b	c	d	e	f	g	h	i
B	a	d	c	b	i	h	g	f	e
C	a	h	g	f	e	d	c	b	i
D	a	f	g	h	i	b	c	d	e

Fig. 10

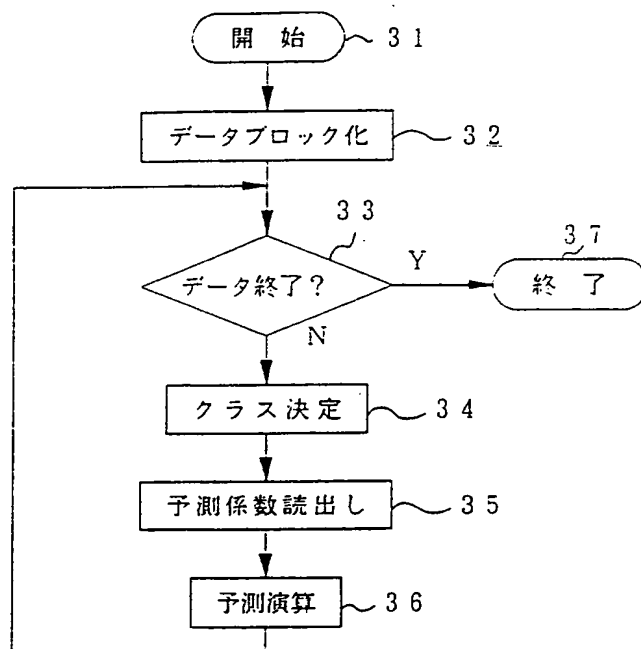


Fig. 11

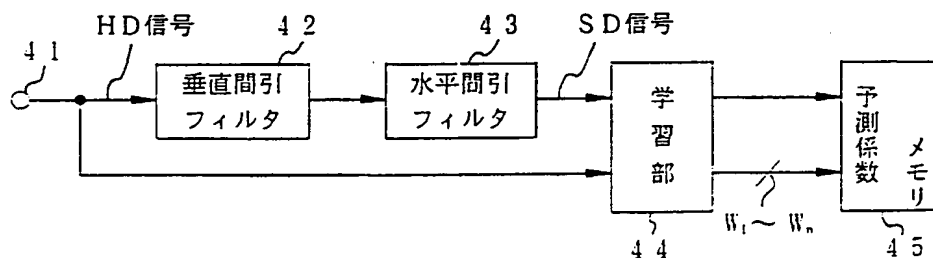


Fig. 12

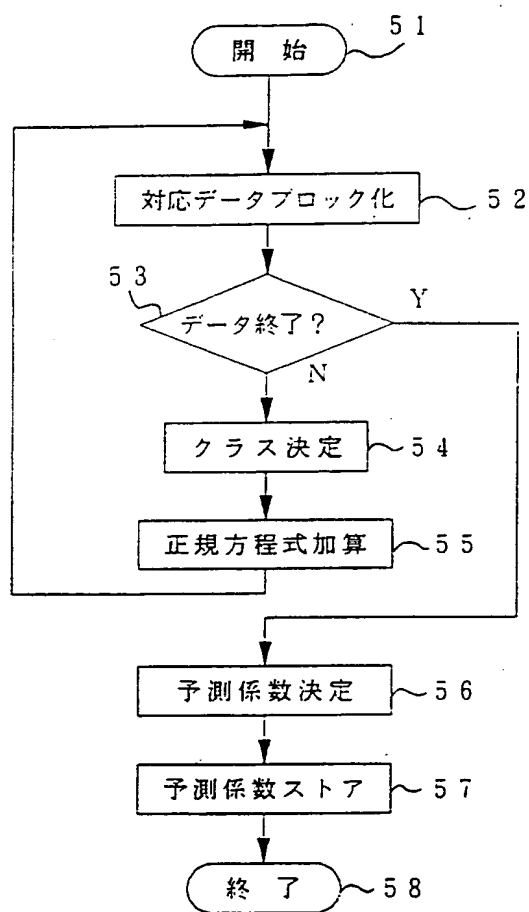


Fig. 13

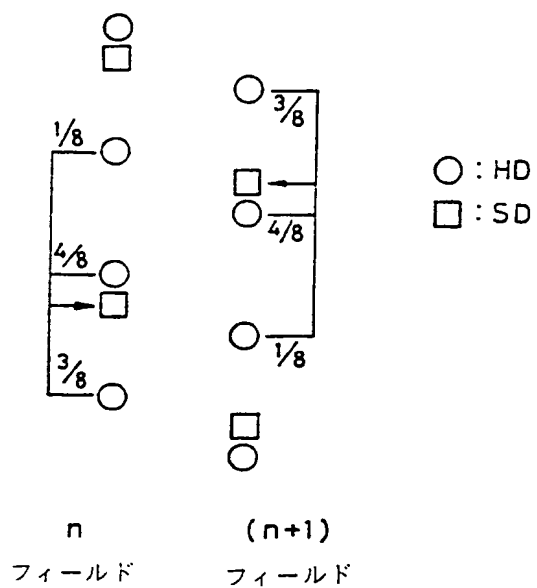


Fig. 14

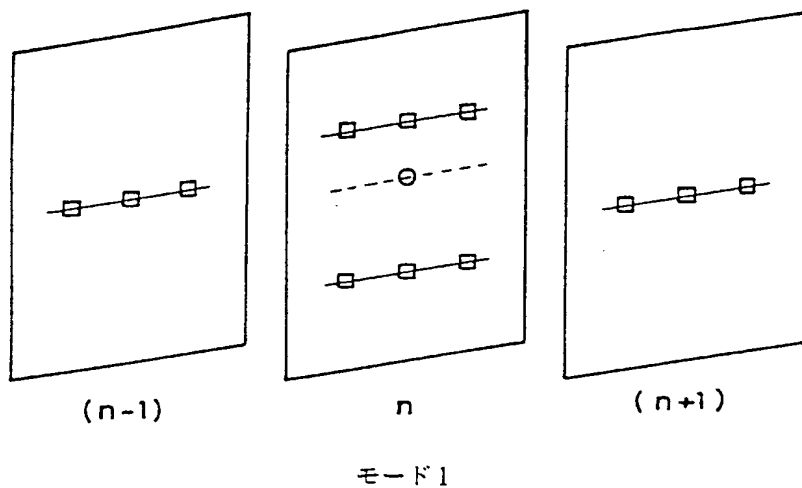


Fig. 15

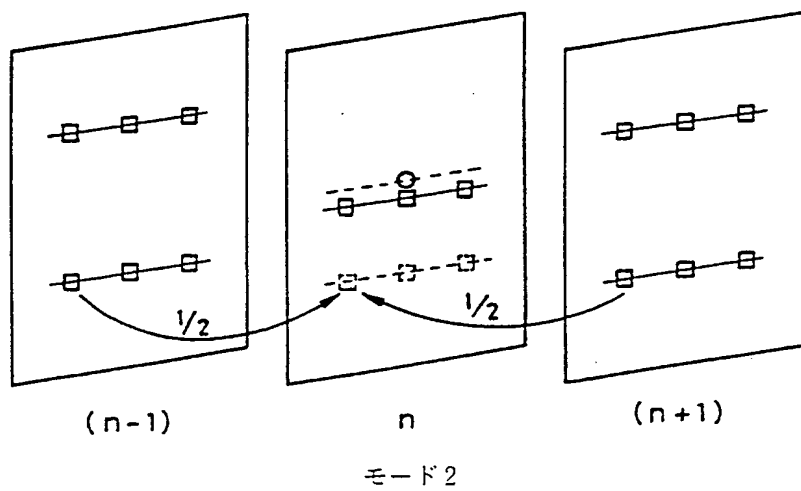


Fig. 16

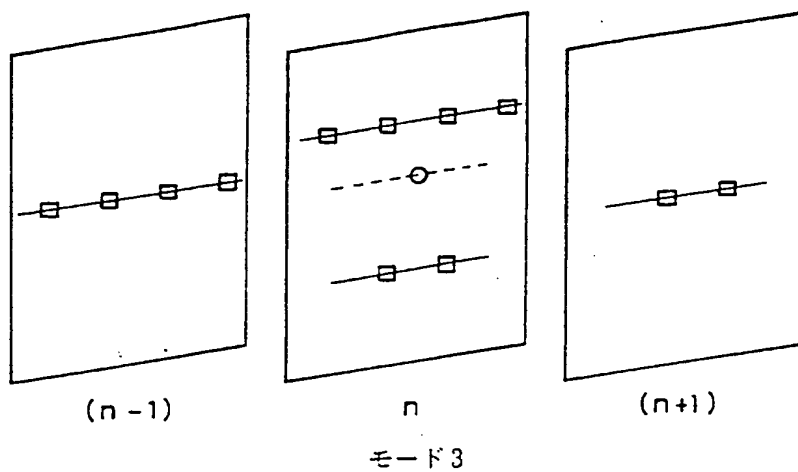


Fig. 17

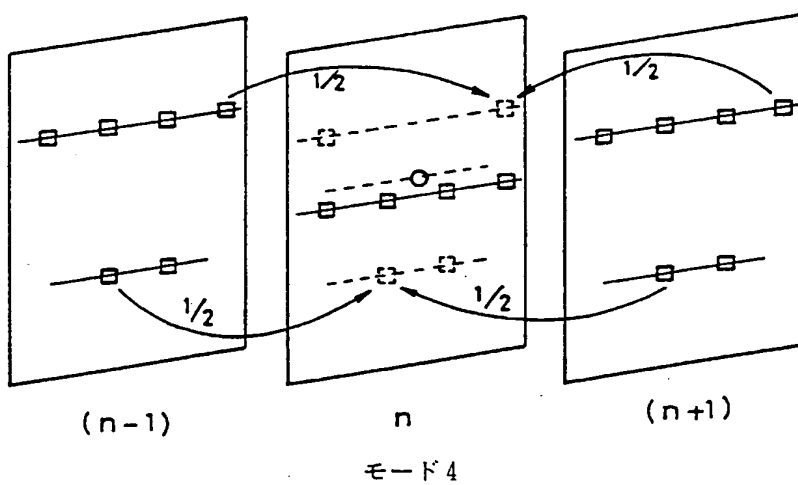
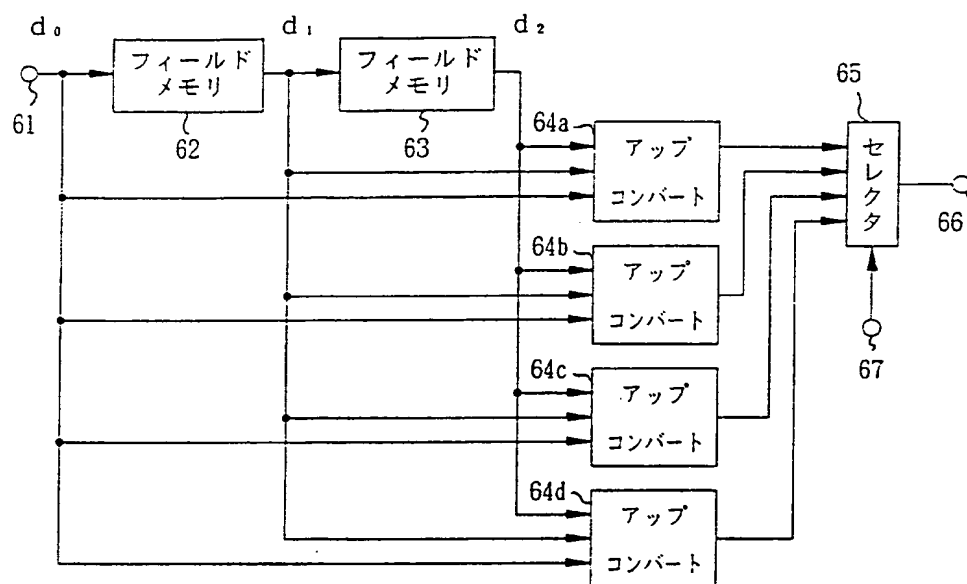


Fig. 18



- 1 2 : ブロック化回路
- 1 3 : データ圧縮回路
- 1 5 : メモリ
- 1 6 : 予測値生成回路
- 2 2 : 最大値、最小値検出回路
- 4 4 : 学習部

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP93/01786

A. CLASSIFICATION OF SUBJECT MATTER		
Int. Cl ⁵ H04N7/01		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
Int. Cl ⁵ H04N7/01		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Jitsuyo Shinan Koho 1926 - 1993		
Kokai Jitsuyo Shinan Koho 1971 - 1993		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, A2, 2-276388 (Sanyo Electric Co., Ltd.), November 13, 1990 (13. 11. 90), (Family: none)	1-11
A	JP, A2, 2-166889 (Sony Corp.), June 27, 1990 (27. 06. 90), (Family: none)	1-11
A	JP, A2, 2-122781 (NEC Home Electronics Co., Ltd.), May 10, 1990 (10. 05. 90), (Family: none)	1-11
A	JP, A2, 63-202192 (DeutscheITT Industries GmbH), August 22, 1988 (22. 08. 88) & US, A, 4831442 & EP, A1, 278012	1-11
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search February 1, 1994 (01. 02. 94)		Date of mailing of the international search report February 22, 1994 (22. 02. 94)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.		Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁵ H04N7/01		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁵ H04N7/01		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926-1993年		
日本国公開実用新案公報 1971-1993年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, A2, 2-276388 (三洋電機株式会社), 13. 11月. 1990 (13. 11. 90) (ファミリーなし)	1-11
A	JP, A2, 2-166889 (ソニー株式会社), 27. 6月. 1990 (27. 06. 90) (ファミリーなし)	1-11
A	JP, A2, 2-122781 (日本電気ホームエレクトロニクス 株式会社), 10. 5月. 1990 (10. 05. 90) (ファミリーなし)	1-11
<input checked="" type="checkbox"/> C欄の続きにも文献が列举されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日 若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日 の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と 矛盾するものではなく、発明の原理又は理論の理解のため に引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規 性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文 献との、当業者にとって自明である組合せによって進歩性 がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
01. 02. 94	22. 02. 94	
名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 西 谷 憲 人 印	5 C 9 1 8 7
電話番号 03-3581-1101 内線 3542		

様式 PCT/ISA/210 (第2ページ) (1992年7月)

C (続き)、関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, A2, 63-202192 (Deutsche ITT Industries GmbH). 22. 8月. 1988 (22. 08. 88) & US, A. 4831442 & EP, A1. 278012	1-11

様式 PCT/ISA/210 (第2ページの続き) (1992年7月)